

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshiyuki ARITA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 6, 2003**

For: **SEMICONDUCTOR APPARATUS FABRICATION METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 6, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-245377, filed August 26, 2002


In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicant
Reg. No. 27,133

DWH/jaz
Atty. Docket No. **030905**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 26, 2002

Application Number: No. 2002-245377
[ST.10/C]: [JP2002-245377]

Applicant(s): FUJITSU LIMITED

December 27, 2002

Commissioner,
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2002-3102707

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月26日

出 願 番 号

Application Number:

特願2002-245377

[ST.10/C]:

[JP 2002-245377]

出 願 人

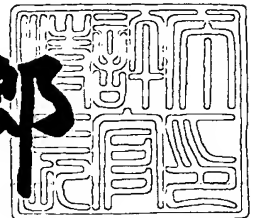
Applicant(s):

富士通株式会社

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102707

【書類名】 特許願

【整理番号】 0240610

【提出日】 平成14年 8月26日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/30

【発明の名称】 半導体装置の製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 有田 寿之貴

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 レジストパターンを形成する工程と、

前記レジストパターンを覆うように、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜を形成する工程と、

前記レジストパターンを、前記レジストパターンが前記膜により覆われた状態で、前記レジストパターンの軟化温度よりも高く、前記耐熱温度よりも低い温度に加熱し、リフローさせる工程と、

前記膜を除去する工程と、

前記リフローしたレジストパターンをマスクに、前記レジストパターンの下地層をパターンニングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記膜は、前記耐熱温度として、前記レジストパターンの軟化温度よりも高い軟化温度を有する樹脂膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記膜は、前記耐熱温度として前記レジストパターンの軟化温度よりも高い融点を有する無機膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記膜は、前記耐熱温度として前記レジストパターンの軟化温度よりも高い融点を有する金属膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記レジストパターンは、前記下地層上に凸パターンを形成することを特徴とする請求項 1～4 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 6】 前記レジストパターンは、前記下地層を露出する開口部を形成することを特徴とする請求項 1～4 のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は一般に半導体装置の製造に係り、特にレジストパターンを使って超微細パターンを形成する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

微細化技術の進歩に伴い、今日の超高速半導体装置では既に $0.1\mu\text{m}$ 前後の設計ルールでゲート電極あるいはコンタクトホールのパターニングが可能になっている。また現在では、 $0.05\mu\text{m}$ 、さらには $0.01\mu\text{m}$ の設計ルールの適用が検討されている。そこでこのような超高速半導体装置を製造する場合、パターニングしたい膜上にレジスト膜を形成し、これを所望の設計ルールで露光および現像することにより、前記設計ルールに対応した微細なレジストパターンを形成し、かかるレジストパターンをマスクに、下地膜をパターニングすることが行われる。

【0003】

ところで、このように非常に微細なパターニングを行う場合、レジスト露光時の解像度を向上させるために短波長の、いわゆる遠紫外光が使われる。このような遠紫外光は例えばKrFエキシマレーザ（波長 248nm ）やArFエキシマレーザ（波長 193nm ）により発生させることができるが、従来一般的に使われていたノボラック系などのレジスト膜を使った場合、レジスト膜中において遠紫外光の強い吸収が生じ、その結果、特にレジスト底部において露光が不十分になりやすい。このため、このような設計ルールが $0.1\mu\text{m}$ を切るような超微細化半導体装置の製造においては、膜中に光酸発生剤を含み露光により生じた光酸によりアルカリ性現像液に対する溶解性が変化する、いわゆる化学増幅レジストが一般に使われている。化学増幅レジストは遠紫外光に対しても優れた透過性を示す。

【0004】

【発明が解決しようとする課題】

しかし、化学増幅レジストを使った場合でも、形成される微細パターンの幅が非常に小さくなり例えば先に述べた $0.05\mu\text{m}$ あるいは $0.01\mu\text{m}$ といった

範囲に入ってくると、露光時における光コントラストの問題、あるいはレジスト組成不均一などの問題により、形成されるレジストパターンのエッジが一定せず、パターンごとに、また一つのパターン内でも変動してしまう、いわゆるエッジラフネスの問題が生じる。このようなエッジラフネスに伴うレジストパターンサイズの変動は、当該レジストパターンをマスクにパターニングされる下地層に転写され、微細なゲート電極パターンやコンタクトホールを様々に変化させてしまう。

【 0 0 0 5 】

従来より、このようなエッジラフネスの問題は、レジスト材料の均一性を向上させることにより改善が試みられていたが、先にも述べた今日の超微細化半導体装置のようにパターンサイズが微細化され0.1 μm 以下になると、レジスト材料の改善だけでエッジラフネスの問題を解決することは困難になる。

【 0 0 0 6 】

エッジラフネスを改善するためにレジストパターンを加熱してリフローさせることも考えられるが、このような微細なレジストパターンを加熱によりリフローさせるとレジストパターン全体が変形してしまう。

【 0 0 0 7 】

そこで特開 2 0 0 1 - 3 3 2 4 8 4 号公報には、レジストパターン表面のみを局所的にリフローさせるため、レジストパターンに吸収されるような波長の光を短時間照射する技術が記載されている。しかし、この従来の技術では、化学増幅レジストが A r F あるいは K r F エキシマレーザに対して透過性を有しているため、非常に短波長の光を使う必要があるのに対し、このような波長域において使いやすい光源を見出すのは困難である。

【 0 0 0 8 】

また特開平 1 1 - 1 4 5 0 3 1 号公報には、化学増幅レジストパターンの表面を酸性溶液あるいは酸性雰囲気に曝露し、パターン表面においてレジスト樹脂の保護基を脱離させ、軟化点温度をレジストパターン表面において低下させることにより、レジストパターン表面を局所的にリフローさせる技術が記載されている。しかし、この従来技術では、軟化点温度の低下が十分でない場合、リフローが

パターン表面だけでなく、パターン全体に生じてしまい、レジストパターンが変形してしまう問題を有している。

【 0 0 0 9 】

さらに形成されたレジストパターンの表面を酸素プラズマによりアッシングし、表面を平坦化することも考えられるが、この場合にはアッシングによりパターンサイズが減少するため、特にラインアンドスペースパターンを形成する場合、ライン部の幅をアッシングによる減少分を見込んで増大させる必要がある。しかし、このようにライン部の幅を増大させるとスペース部の幅がその分だけ減少し、露光分解能の限界で露光を行う必要があり、歩留まりやスループットに深刻な問題が生じる。

【 0 0 1 0 】

このように、従来は微細なレジストパターンのエッジラフネスを改善する効果的な方法が知られていなかった。

【 0 0 1 1 】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【 0 0 1 2 】

本発明のより具体的な課題は、レジストパターンに変形を生じることなくエッジラフネスを平坦化できる、レジストパターンを使った半導体装置の製造方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

本発明は上記の課題を、レジストパターンを形成する工程と、前記レジストパターンを覆うように、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜を形成する工程と、前記レジストパターンを、前記レジストパターンが前記膜により覆われた状態で、前記レジストパターンの軟化温度よりも高く、前記耐熱温度よりも低い温度に加熱し、リフローさせる工程と、前記膜を除去する工程と、前記リフローしたレジストパターンをマスクに、前記レジストパターンの下地層をパターンニングする工程とを含むことを特徴とする半導体装置の製造方法

により、解決する。

【 0 0 1 4 】

本発明によれば、微細なレジストパターンが、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜により覆われているため、前記レジストパターンを前記軟化温度よりも高いが前記耐熱温度よりも低い温度に加熱することにより前記レジストパターンが、前記膜により変形が規制された状態で変形し、エッジラフネスの解消した平坦な表面を有するレジストパターンが得られる。前記膜としては有機膜、無機膜あるいは金属膜を使うことができ、また前記レジストパターンはゲート電極パターンのような凸パターンでも、コンタクト開口部のような凹パターンでもよい。さらに前記レジストパターンをマスクにパターニングされる下地層をそのまま半導体装置の一部として使うことも可能であるが、このような下地層をハードマスクとして使い、さらに下の層をパターニングすることも可能である。ここで耐熱温度とは、その膜の形状が熱により急変する温度を意味しており、樹脂膜やガラスの場合は軟化温度に、無機膜や金属の場合は融点に対応する。

【 0 0 1 5 】

【発明の実施の形態】

〔第 1 実施例〕

図 1 (A) ～図 3 (F) は、本発明の第 1 実施例による半導体装置の製造方法を示す。

【 0 0 1 6 】

図 1 (A) を参照するに、シリコン基板 2 1 上には素子分離領域 2 2 およびゲート絶縁膜として使われる絶縁膜 2 3 が形成されており、さらに前記絶縁膜 2 3 上にはゲート電極として使われるポリシリコン膜 2 4 が形成されている。

【 0 0 1 7 】

図 1 (A) の工程では、さらに前記ポリシリコン膜 2 4 上に図示を省略した有機膜あるいは無機の反射防止膜を介して化学増幅レジスト膜が形成され、さらにこれを露光・現像することにより、形成したいゲート電極パターンに対応したレジストパターン 2 5 が形成されている。

【 0 0 1 8 】

前記化学増幅レジストとしては例えば住友化学工業株式会社より市販されているArF用化学増幅型レジストPAR-101を300nmの厚さに塗付して使っている。前記化学増幅型レジストは、150℃の軟化温度を有する。

【 0 0 1 9 】

形成された化学増幅型レジストはさらに100℃で60秒間プリベークされた後、ArFエキシマレーザにより露光される。さらに115℃で60秒間露光後ベーク処理を行った後、有機アルカリ現像液中において30秒間現像を行うことにより、前記レジストパターン25が、例えばゲート長が0.10μmのゲート電極に対応した形状に形成される。このようにして形成されたレジストパターン25は垂直方向のみならずパターンの延在方向、すなわちライン方向にも波打った側壁面を有し、エッジラフネスが生じている。ラインアンドスペースパターンでは、このようなエッジラフネスに伴って線幅変動が生じる。またコンタクトホールでは、円形であるはずの側壁面が波打ってしまう。

【 0 0 2 0 】

そこで本実施例では図1(B)の工程において図1(A)の構造上にアダマンチルアクリレート10%、キシレン90%からなる樹脂組成物をスピコートし、さらにオーブン中、110℃で20分間加熱することにより、前記レジストパターン25を覆う厚さが約400nmの樹脂膜26を形成する。このようにして形成された樹脂膜26は、レジストパターン25の軟化温度よりも高い230-250℃の熱分解温度を有する。

【 0 0 2 1 】

さらに図2(C)の工程において図1(B)の構造をホットプレート上において、レジストパターン25の軟化温度よりも高い、ただし前記樹脂膜26の軟化温度よりも低い180℃の温度で60秒間加熱することにより、前記レジストパターン25はリフローを生じ、表面張力により、エッジラフネスの解消した平滑な側壁面を有する形状に変化する。

【 0 0 2 2 】

図2(C)の工程では前記樹脂膜26は軟化することがなく、従って前記レジ

ストパターン 2 5 のリフローは樹脂膜 2 6 により規制された条件下で生じるため、このような熱処理を行ってもレジストパターン 2 5 が全体として変形することではなく、所望のゲート電極パターンに対応した形状は維持される。

【 0 0 2 3 】

このようにして形成された樹脂膜 2 6 はキシレンに可溶であり、そこで図 2 (C) の工程の後、図 2 (D) の工程において図 2 (C) の構造をキシレン中に浸漬することにより、前記樹脂膜 2 6 が除去される。

【 0 0 2 4 】

さらに図 3 (E) の工程においてレジストパターン 2 5 をマスクに前記ポリシリコン膜 2 4 をパターニングし、所望のゲート電極 2 4 A を形成する。前記レジストパターン 2 5 は先にも説明したように樹脂膜 2 6 の規制下においてリフローを生じているため、パターン全体としての変形は生じておらず、エッジラフネスのみが解消している。このため、かかるレジストパターン 2 5 をマスクに前記ポリシリコン膜 2 4 をパターニングすることにより、図 3 (E) の工程ではゲート電極 2 4 A を、所望のゲート長に、再現性よく、また高い精度で形成することが可能になる。

【 0 0 2 5 】

図 3 (E) の工程では、さらに前記シリコン基板 2 1 中に、前記ポリシリコンゲート電極パターン 2 4 A をマスクに p 型不純物元素あるいは n 型不純物元素をイオン注入し、前記ゲート電極パターン 2 4 A の両側にソースエクステンション領域 2 1 a および 2 1 b が形成されている。

【 0 0 2 6 】

さらに図 3 (F) の工程では、前記ゲート電極 2 4 A の両側壁面上に側壁絶縁膜 2 4 S が形成され、ゲート電極 2 4 A および側壁絶縁膜 2 4 S をマスクに n 型不純物元素あるいは p 型不純物元素をイオン注入することにより、前記シリコン基板 2 1 中、側壁絶縁膜 2 4 S の外側にソース拡散領域 2 1 c およびドレイン拡散領域 2 1 d が形成される。

【 0 0 2 7 】

なお、本実施例では図 2 (C) のレジストパターン 2 5 のリフロー工程におい

て、レジストパターン 2 5 の変形を規制するのにキシレンに可溶なアダマンチルメタクリレート系の樹脂膜 2 6 を使ったが、その代わりに水溶性の樹脂膜を使うことも可能である。

【 0 0 2 8 】

例えば図 1 (B) の工程においてダイセル化学工業より商品名 V E M A として市販されているメチルビニルエーテル・マレイン酸共重合体 1 0 重量%水溶液を塗付し、さらに 1 1 0 ℃で 2 0 分間加熱することにより、前記樹脂膜 2 6 として水溶性膜を形成することも可能である。このようにして形成された水溶性樹脂膜 2 6 は軟化温度が 2 2 0 - 2 2 5 ℃であるため、図 2 (C) のリフロー工程においても変形することがなく、レジストパターン 2 5 全体の変形を効果的に規制することが可能である。

【 0 0 2 9 】

さらに前記樹脂膜 2 6 として、ユニチカ株式会社のポリアクリレート樹脂 P A R 5 の 1 0 重量%キシレン溶液を塗付し、さらに 1 1 0 ℃で 2 0 分間加熱することにより、前記樹脂膜 2 6 として水溶性樹脂膜を形成することも可能である。このようにして形成された水溶性樹脂膜は軟化温度が 2 3 5 ℃であるため、図 2 (C) のリフロー工程においても変形することがなく、レジストパターン 2 5 全体の変形を効果的に規制することが可能である。

【 0 0 3 0 】

また前記膜 2 6 としては、上記の樹脂膜に限定されるものではなく、ポリアクリル酸、ポリビニルアセタール、ポリビニルピロリドン、ポリビニルアルコール、ポリエチレンイミン、ポリエチレンオキシド、スチレンー（無水）マレイン酸共重合体、メチルビニルエーテルー（無水）マレイン酸共重合体、ポリビニルアミン樹脂、ポリアリルアミン、オキサゾリン基含有水溶性樹脂、水溶性メラミン樹脂、水溶性尿素樹脂、アルキッド樹脂、およびスルホンアミド樹脂など、レジストパターン 2 5 とミキシングを生じず、より高い軟化温度を有し、水あるいは溶媒に可溶な膜を使うことが可能である。その際、前記樹脂 2 6 は必要に応じて水や有機溶剤、ガスなどを含んでいてもよい。

【 0 0 3 1 】

また水や有機溶剤に不溶な膜であっても、レジストパターン 2 5 に対して選択的にエッチング可能なものであれば、膜 2 6 として使用可能である。この場合、加熱により熱架橋を生じ、水や有機溶媒に不溶になるような膜であっても、前記膜 2 6 として使用可能である場合がある。前記膜 2 6 が水溶液や溶剤に不溶である場合には、図 2 (D) の工程において前記膜 2 6 は選択エッチングにより除去される。

【 0 0 3 2 】

このような非水溶性樹脂としては、ポリイミド、ポリアセタール、ポリブチレンテレフタレート、ポリエチレンテレフタレート、シンジオタクチックポリスチレン、ポリフェニレンサルファイド、ポリエーテルエーテルケトン、液晶ポリマー、フッ素樹脂、ポリエーテルニトリル、ポリカーボネート、変性ポリフェニレンエーテル、ポリサルフォン、ポリエーテルサルフォン、ポリアクリレート、ポリアミドイミド、ポリエーテルイミド、熱可塑性ポリイミド、フェノール樹脂、ユリア樹脂、メラミン樹脂、アルキッド樹脂、不飽和ポリエステル、エポキシ樹脂、ジアリルフタレート樹脂、シリコーン樹脂、ポリウレタンなどを使うことができる。

【 0 0 3 3 】

さらに図 1 (A) の工程において、図 4 に示すように前記レジストパターン 2 5 の表面に処理剤 2 6 a を付着させることにより、レジストパターン 2 5 と膜 2 6 のミキシングを抑制することも可能である。このような処理剤 2 6 a としては、水溶性樹脂の極薄膜を使うことができる。

[第 2 実施例]

図 5 (A) ～図 8 (E) は、本発明の第 2 実施例による半導体装置の製造方法を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【 0 0 3 4 】

図 5 (A) を参照するに、本実施例では前記ポリシリコン膜 2 4 上に後でハードマスクとして使われるシリコン酸化膜 3 5 が形成され、前記シリコン酸化膜 3

5 上には典型的には S i N などの絶縁膜よりなる反射防止膜 3 6 が形成されている。さらに前記反射防止膜 3 6 上には、アダマンチルアクリレート系の化学増幅レジスト膜が形成され、これを先の実施例と同様に高解像度露光装置により露光し、現像することにより、レジストパターン 3 7 が形成される。

【 0 0 3 5 】

このようにして形成されたレジストパターン 3 7 は図 5 (A) に示すようにエッジラフネスを有しているが、本実施例では図 5 (B) の工程において、図 5 (A) の構造上に S O G などの無機絶縁膜 3 8 を塗付工程により形成する。あるいは、前記絶縁膜 3 8 は P V D 法やプラズマ C V D 法などの低温プロセスにより、レジストパターン 3 7 の軟化温度よりも低い温度で堆積可能な S i O ₂ 膜などの絶縁膜であってもよい。この場合、前記絶縁膜 3 8 は後で除去されるため、力学的な強度のみが要求され、特に優れた電気特性あるいは化学的安定性を付与するために高温でのベーク処理などを行う必要はない。

【 0 0 3 6 】

あるいは、図 5 (B) の工程において前記絶縁膜 3 8 の代わりにスパッタリング法などにより金属膜を形成することも可能である。レジスト膜上への金属膜の堆積は、従来よりリフトオフ法において広く使われており、同様な技術を使うことが可能である。以下の説明では、前記膜 3 8 は絶縁膜以外に金属膜をも含むものとする。

【 0 0 3 7 】

次に図 6 (C) の工程において図 5 (B) の構造は前記レジストパターン 3 7 の軟化温度よりも高い 1 8 0 ° C 程度の温度に短時間加熱され、前記レジストパターン 3 7 が前記膜 3 8 の規制下においてリフローし、エッジラフネスの消滅したレジストパターン 3 7 が得られる。

【 0 0 3 8 】

さらに図 7 (D) の工程で前記膜 3 8 がエッチングにより除去され、反射防止膜 3 6 が露出した構造が得られる。図 3 7 (D) においては前記膜 3 8 のエッチングは、前記膜 3 8 が酸化膜である場合には H F を使って行うことが可能であり、また金属膜である場合には適当な酸を使って行うことが可能である。

【 0 0 3 9 】

さらに図 8 (E) の工程において前記レジストパターン 3 7 をマスクに前記反射防止膜 3 6 およびハードマスク層 3 5 がパターニングされ、図 8 (F) の工程において前記ハードマスク層 3 5 をマスクに前記ポリシリコン膜 2 4 がパターニングされ、ゲート電極 2 4 A が形成される。

【 0 0 4 0 】

図 8 (F) 以降の工程は、先に図 3 (E) , (F) で説明したものと同様であり、説明を省略する。

【 0 0 4 1 】

本実施例ではハードマスク層 3 5 を使ってポリシリコン膜 2 4 をパターニングするため、焦点深度の浅い露光光学系を使うことが可能になり、高い解像度でゲート電極パターン 2 4 A を形成することが可能になる。

[第 3 実施例]

次に本発明の第 3 実施例による半導体装置の製造方法を、図 9 (A) ~ 図 1 1 (F) を参照しながら説明する。

【 0 0 4 2 】

図 9 (A) を参照するに、シリコン基板 4 1 上には素子分離領域 4 2 により素子領域が画成されており、前記素子領域には前記基板 4 1 上に、ゲート絶縁膜 4 3 を介してゲート電極 4 4 が形成されている。前記基板 4 1 中には前記ゲート電極 4 4 の一方の側に n 型あるいは p 型のソースエクステンション領域 4 1 a が形成されており、他方の側にも n 型あるいは p 型のドレインエクステンション領域 4 1 b が形成されている。

【 0 0 4 3 】

前記ゲート電極 4 4 はさらに上部にシリサイド低抵抗層 4 4 A を担持しており、また両側壁面上に側壁絶縁膜 4 4 S を担持している。さらに前記シリコン基板 4 1 中には、前記側壁絶縁膜 4 4 S の外側に n 型あるいは p 型のソース拡散領域 4 1 c およびドレイン領域 4 1 d が形成されている。

【 0 0 4 4 】

前記シリコン基板 4 1 上には前記ゲート電極 4 4 を覆うように層間絶縁膜 4 5 が形成されており、前記層間絶縁膜 4 5 上には前記層間絶縁膜 4 5 中に形成されるコンタクトホールに対応したレジスト開口部 4 6 A を有するレジスト膜 4 6 が形成されている。

【 0 0 4 5 】

前記層間絶縁膜 4 5 中に形成されるコンタクトホールは、半導体装置の微細化に伴って可能な限り微細化されている必要があり、このため先の実施例と同様に前記レジスト膜 4 6 には A r F エキシマレーザなど、遠紫外光を使って高い解像度で露光できる化学増幅型レジストが使われる。

【 0 0 4 6 】

次に図 9 (B) の工程において、図 9 (A) の構造上に先の実施例で説明した樹脂膜、あるいは無機絶縁膜、あるいは金属膜よりなる膜 4 7 が、前記レジスト開口部 4 6 A を充填するように形成されており、図 9 (B) の構造は図 1 0 (C) の工程で、前記レジスト膜 4 6 の軟化温度以上で、かつ前記膜 4 7 の耐熱温度以下の温度において熱処理される。その結果、前記レジスト膜 4 6 は前記膜 4 7 により変形が規制された状態でリフローし、前記レジスト開口部 4 6 A の側壁面のエッジラフネスが解消する。

【 0 0 4 7 】

そこで図 1 0 (D) の工程において前記膜 4 7 が溶媒への溶解、あるいは選択エッチングにより除去され、図 1 1 (E) の工程において前記層間絶縁膜 4 5 が前記レジスト膜 4 6 をマスクにエッチングされ、前記層間絶縁膜 4 5 中に前記レジスト開口部 4 6 A に対応したコンタクトホール 4 5 A が形成される。

【 0 0 4 8 】

さらに図 1 1 (F) の工程において、前記コンタクトホール 4 5 A において前記ドレイン領域 4 1 d に導体プラグ 4 8 がコンタクトする。

【 0 0 4 9 】

このように、レジストパターンを、レジストパターンの全体的な変形をレジストパターン上に形成した耐熱温度の高いパターンで規制しながらリフローさせ、エッジラフネスを解消する本発明の技術は、先に説明したゲート電極などの凸パ

ターンの形成のみならず、コンタクトホールのような凹パターンの形成においても有効である。

[第4実施例]

このように、本発明は特にレジストパターンのエッジラフネスが問題となる微細なパターンニング工程において非常に有効であるが、より大きなパターンを形成する工程においても適用可能である。

【0050】

次に、図12(A)～図17(F)は、本発明の第4実施例による、多層配線構造を有する半導体装置の製造方法を示す図である。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0051】

図12(A)は先の図11(F)引き続く工程であり、前記層間絶縁膜45上に層間絶縁膜51が形成され、さらに前記層間絶縁膜51上に反射防止膜52を介して化学増幅型のレジスト膜53が形成されている。また前記レジスト膜53中には前記層間絶縁膜51中に形成されるビアプラグに対応してレジスト開口部53Aが形成されている。前記レジスト開口部53Aの側壁面は、エッジラフネスにより波打った形状を有している。

【0052】

次に図13(B)の工程において図12(A)のレジスト膜53上に前記レジスト開口部53Aを充填するように先に説明した樹脂膜、あるいは無機膜、あるいは金属膜よりなる膜54が形成され、図14(C)の工程で前記図13(B)の構造を前記レジスト膜53の軟化温度以上で前記膜54の耐熱温度以下の温度に加熱し、前記レジスト膜53を前記膜54で規制しながらリフローさせる。その結果、図14(C)の工程では、前記レジスト開口部53Aにおけるエッジラフネスが解消する。

【0053】

さらに図15(D)の工程において前記膜54が溶解あるいは選択エッチングにより除去され、図16(E)の工程において、このようにしてエッジラフネス

が解消されたレジスト膜 5 3 をマスクに前記反射防止膜 5 2 およびその下の層間絶縁膜 5 1 をドライエッチングし、前記層間絶縁膜 5 1 中に前記導体プラグ 4 8 を露出するビアホール 5 1 A を形成する。

【 0 0 5 4 】

さらに図 1 7 (F) の工程において前記ビアホール 5 1 A を W などの導体により充填し、さらに CMP 処理を行うことにより、前記ビアホール 5 1 A 中にビアプラグ 5 1 B が形成される。

【 0 0 5 5 】

以上、本発明を好ましい実施例について説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【 0 0 5 6 】

(付 記 1) レジストパターンを形成する工程と、

前記レジストパターンを覆うように、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜を形成する工程と、

前記レジストパターンを、前記レジストパターンが前記膜により覆われた状態で、前記レジストパターンの軟化温度よりも高く、前記耐熱温度よりも低い温度に加熱し、リフローさせる工程と、

前記膜を除去する工程と、

前記リフローしたレジストパターンをマスクに、前記レジストパターンの下地層をパターニングする工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 5 7 】

(付 記 2) 前記膜は、前記耐熱温度として、前記レジストパターンの軟化温度よりも高い軟化温度を有する有機膜であることを特徴とする付記 1 記載の半導体装置の製造方法。

【 0 0 5 8 】

(付 記 3) 前記有機膜は、有機溶媒または水に可溶であることを特徴とする付記 2 記載の半導体装置の製造方法。

【 0 0 5 9 】

(付記 4) 前記有機膜は、ポリアクリル酸、ポリビニルアセタール、ポリビニルピロリドン、ポリビニルアルコール、ポリエチレンイミン、ポリエチレンオキシド、スチレンー（無水）マレイン酸共重合体、メチルビニルエーテルー（無水）マレイン酸共重合体、ポリビニルアミン樹脂、ポリアリルアミン、オキサゾリン基含有水溶性樹脂、水溶性メラミン樹脂、水溶性尿素樹脂、アルキッド樹脂、およびスルホンアミド樹脂よりなる群より選択されることを特徴とする付記 3 記載の半導体装置の製造方法。

【 0 0 6 0 】

(付記 5) 前記有機膜は、ポリイミド、ポリアセタール、ポリブチレンテレフタレート、ポリエチレンテレフタレート、シンジオタクチックポリスチレン、ポリフェニレンサルファイド、ポリエーテルエーテルケトン、液晶ポリマー、フッ素樹脂、ポリエーテルニトリル、ポリカーボネート、変性ポリフェニレンエーテル、ポリサルフォン、ポリエーテルサルフォン、ポリアクリレート、ポリアミドイミド、ポリエーテルイミド、熱可塑性ポリイミド、フェノール樹脂、ユリア樹脂、メラミン樹脂、アルキッド樹脂、不飽和ポリエステル、エポキシ樹脂、ジアリルフタレート樹脂、シリコーン樹脂、およびポリウレタンよりなる群より選択されることを特徴とする付記 3 記載の半導体装置の製造方法。

【 0 0 6 1 】

(付記 6) 前記膜を形成する工程は、塗布工程を含むことを特徴とする付記 2 ～ 5 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 6 2 】

(付記 7) 前記レジストパターンを形成する工程の後、前記膜を形成する工程の前に、前記レジストパターン表面に剥離剤を付着させる工程を含むことを特徴とする付記 1 ～ 6 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 6 3 】

(付記 8) 前記膜は、前記耐熱温度として前記レジストパターンの軟化温度よりも高い融点を有する無機膜であることを特徴とする付記 1 記載の半導体装置の製造方法。

【 0 0 6 4 】

(付記 9) 前記無機膜は、塗付法、スパッタリング法およびプラズマ C V D 法のいずれかにより形成されることを特徴とする付記 8 記載の半導体装置の製造方法。

【 0 0 6 5 】

(付記 1 0) 前記膜は、前記耐熱温度として前記レジストパターンの軟化温度よりも高い融点を有する金属膜であることを特徴とする付記 1 記載の半導体装置の製造方法。

【 0 0 6 6 】

(付記 1 1) 前記金属膜は、スパッタリング法により形成されることを特徴とする付記 1 0 記載の半導体装置の製造方法。

【 0 0 6 7 】

(付記 1 2) 前記レジストパターンは、前記下地層上に凸パターンを形成することを特徴とする付記 1 ～ 1 1 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 6 8 】

(付記 1 3) 前記レジストパターンは、前記下地層を露出する開口部を形成することを特徴とする付記 1 ～ 1 1 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 6 9 】

(付記 1 4) 前記下地膜は半導体膜であることを特徴とする付記 1 ～ 1 3 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 7 0 】

(付記 1 5) 前記下地膜は無機絶縁膜であることを特徴とする付記 1 ～ 1 3 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 7 1 】

(付記 1 6) 前記下地膜は有機絶縁膜であることを特徴とする付記 1 ～ 1 3 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 7 2 】

(付記 1 7) 前記下地膜は、反射防止膜を担持していることを特徴とする付

記 1 ～ 1 6 のうち、いずれか一項記載の半導体装置の製造方法。

【 0 0 7 3 】

(付記 1 8) さらに前記下地膜をマスクに、前記下地膜の下の膜をパターンニングする工程を含むことを特徴とする請求項 1 ～ 1 7 のうち、いずれか一項記載の半導体装置の製造方法。

【発明の効果】

本発明によれば、微細なレジストパターンが、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜により覆われているため、前記レジストパターンを前記軟化温度よりも高いが前記耐熱温度よりも低い温度に加熱することにより前記レジストパターンが、前記膜により変形が規制された状態で変形し、エッジラフネスの解消した平坦な表面を有するレジストパターンが得られる。前記膜としては有機膜、無機膜あるいは金属膜を使うことができ、また前記レジストパターンはゲート電極パターンのような凸パターンでも、コンタクト開口部のような凹パターンでもよい。さらに前記レジストパターンをマスクにパターンニングされる下地層をそのまま半導体装置の一部として使うことも可能であるが、このような下地層をハードマスクとして使い、さらに下の層をパターンニングすることも可能である。

【図面の簡単な説明】

【図 1】

(A)，(B) は、本発明の第 1 実施例による半導体装置の製造工程を示す図(その 1)である。

【図 2】

(C)，(D) は、本発明の第 1 実施例による半導体装置の製造工程を示す図(その 2)である。

【図 3】

(E)，(F) は、本発明の第 1 実施例による半導体装置の製造工程を示す図(その 3)である。

【図 4】

第 1 実施例の一変形例を示す図である。

【図 5】

(A), (B) は、本発明の第 2 実施例による半導体装置の製造工程を示す図 (その 1) である。

【図 6】

(C) は、本発明の第 2 実施例による半導体装置の製造工程を示す図 (その 2) である。

【図 7】

(D) は、本発明の第 2 実施例による半導体装置の製造工程を示す図 (その 3) である。

【図 8】

(D), (E) は、本発明の第 2 実施例による半導体装置の製造工程を示す図 (その 4) である。

【図 9】

(A), (B) は、本発明の第 3 実施例による半導体装置の製造工程を示す図 (その 1) である。

【図 10】

(C), (D) は、本発明の第 3 実施例による半導体装置の製造工程を示す図 (その 2) である。

【図 11】

(E), (F) は、本発明の第 2 実施例による半導体装置の製造工程を示す図 (その 3) である。

【図 12】

(A) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 1) である。

【図 13】

(B) は、本発明の第 4 実施例による半導体装置の製造工程を示す図 (その 2) である。

【図 14】

(C) は、本発明の第 4 実施例による半導体装置の製造工程を示す図（その 3）である。

【図 1 5】

(D) は、本発明の第 4 実施例による半導体装置の製造工程を示す図（その 4）である。

【図 1 6】

(E) は、本発明の第 4 実施例による半導体装置の製造工程を示す図（その 5）である。

【図 1 7】

(F) は、本発明の第 5 実施例による半導体装置の製造工程を示す図（その 6）である。

【符号の説明】

2 1, 3 1 基板
2 1 a, 2 1 b, 3 1 a, 3 1 b ソース・ドレインエクステンション領域
2 1 c, 2 1 d, 3 1 d, 3 1 e ソース・ドレイン拡散領域
2 2, 3 2 素子分離膜
2 3, 3 3 ゲート絶縁膜
2 4 ポリシリコン膜
2 4 A, 3 4 ポリシリコンゲート電極
2 4 S, 3 4 S 側壁絶縁膜
2 5, 3 7, 4 6, 5 3 レジストパターン
2 6, 3 8, 4 7, 5 4 変形規制膜
2 6 a 剥離剤
3 4 A シリサイド層
3 5 ハードマスク層
3 6, 5 2 反射防止膜
4 5, 5 1 層間絶縁膜
4 5 A コンタクトホール
4 6 A, 5 3 A レジスト開口部

4 8 コンタクトプラグ

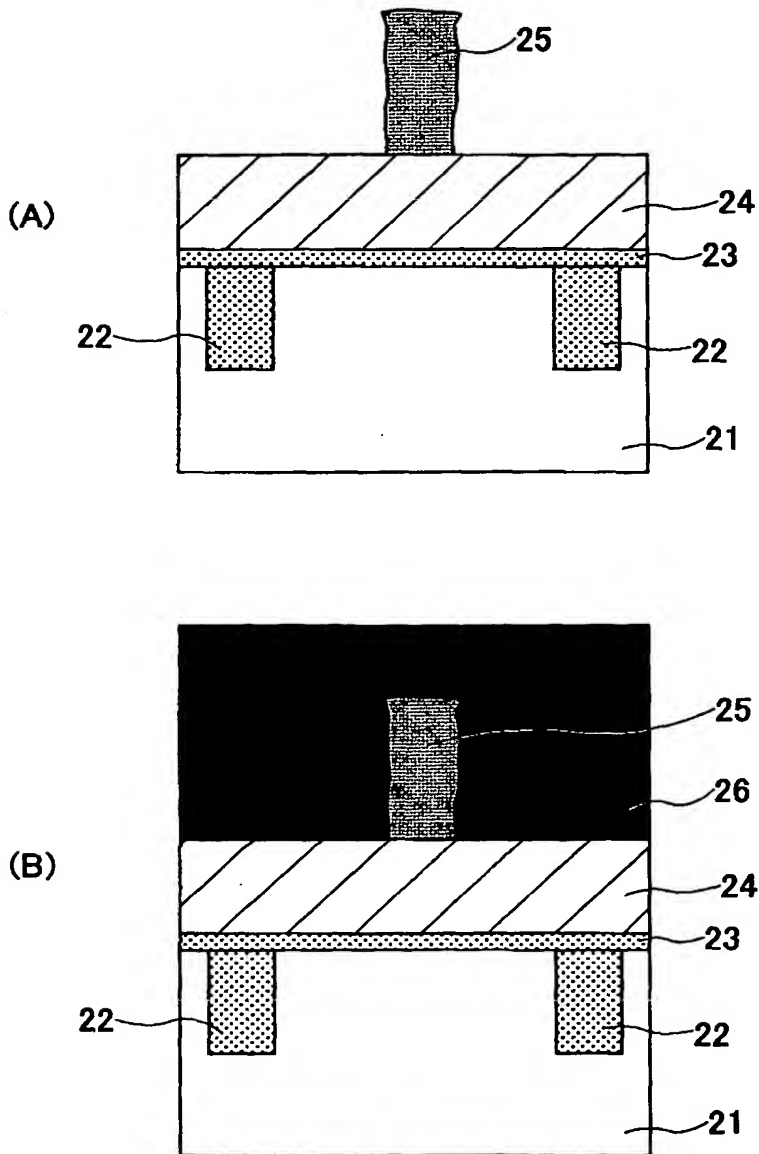
5 1 A ピアホール

5 1 B ピアプラグ

【書類名】 図面

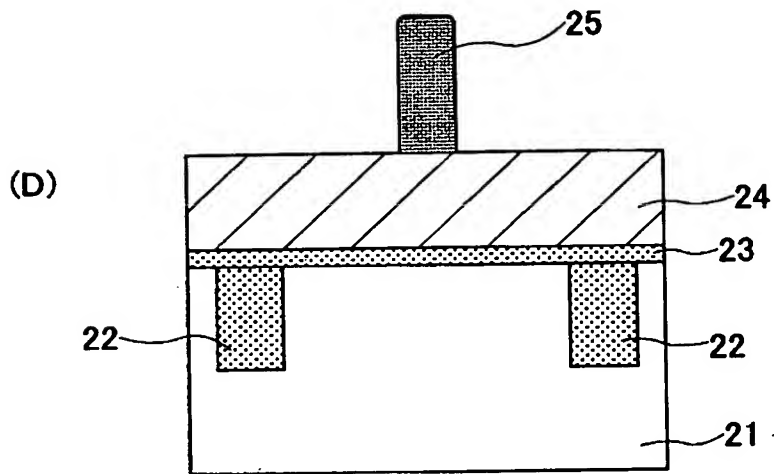
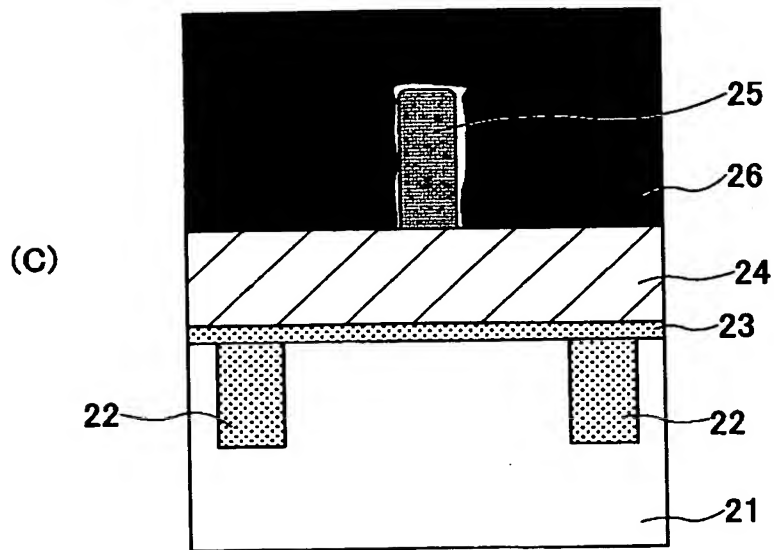
【図 1】

(A), (B)は、本発明の第1実施例による
半導体装置の製造工程を示す図(その1)



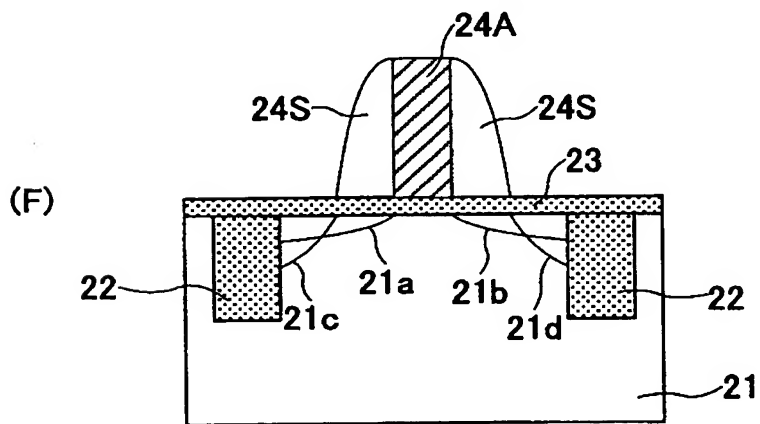
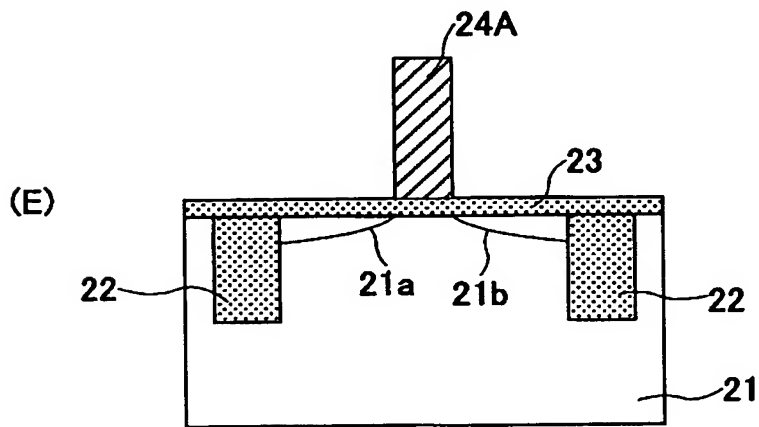
【図 2】

(C), (D)は、本発明の第1実施例による
半導体装置の製造工程を示す図(その2)



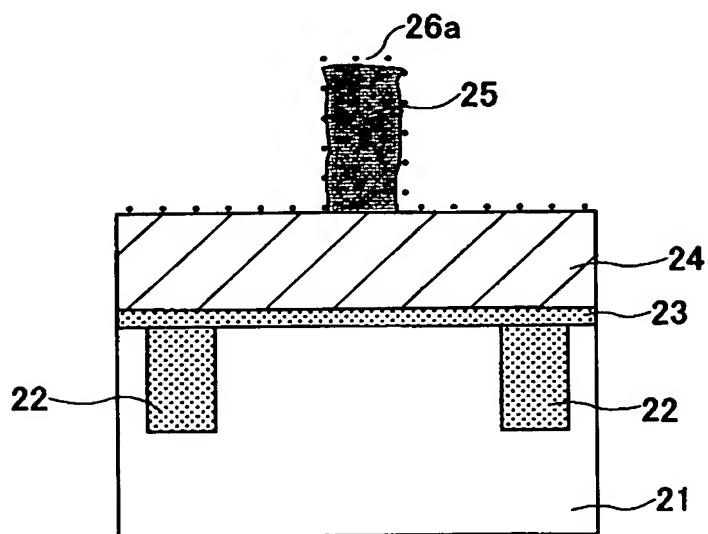
【図 3】

(E), (F)は、本発明の第1実施例による
半導体装置の製造工程を示す図(その2)



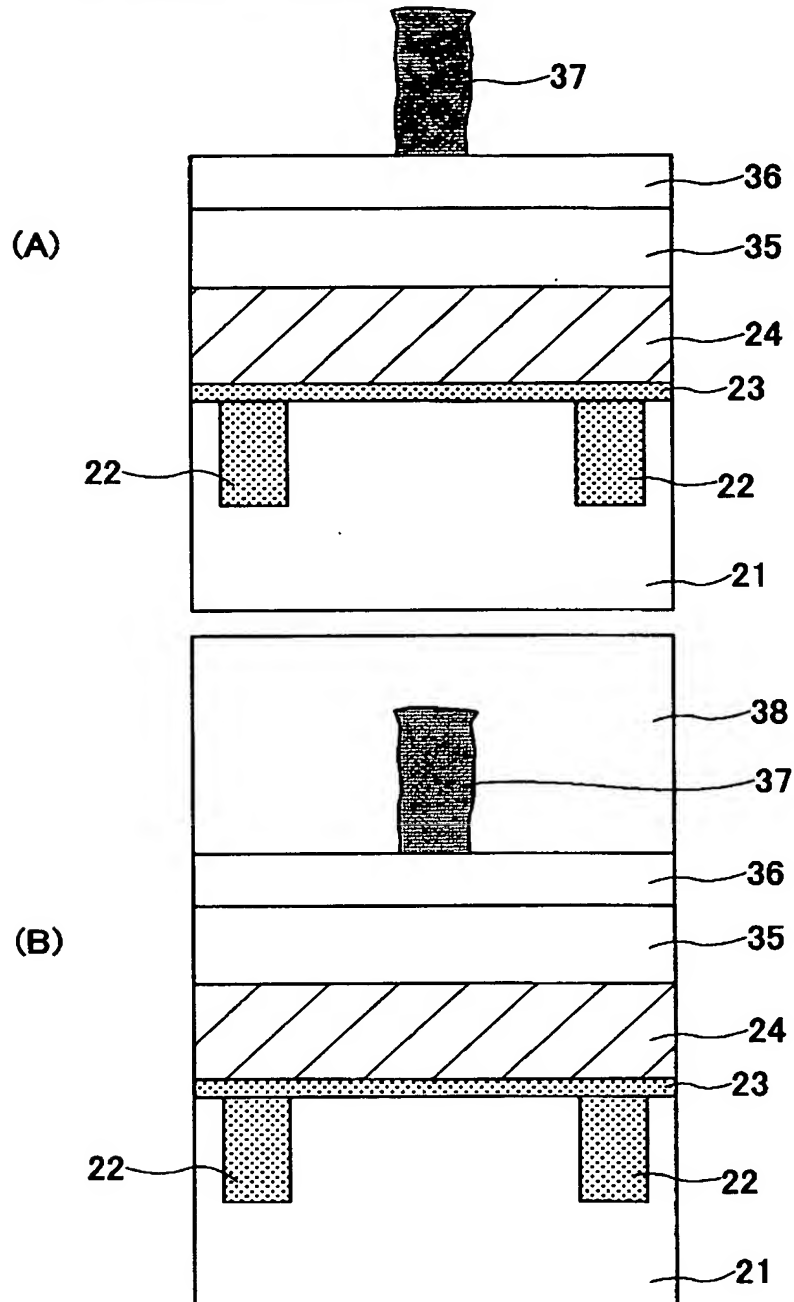
【図 4】

第1実施例の一変形例を示す図



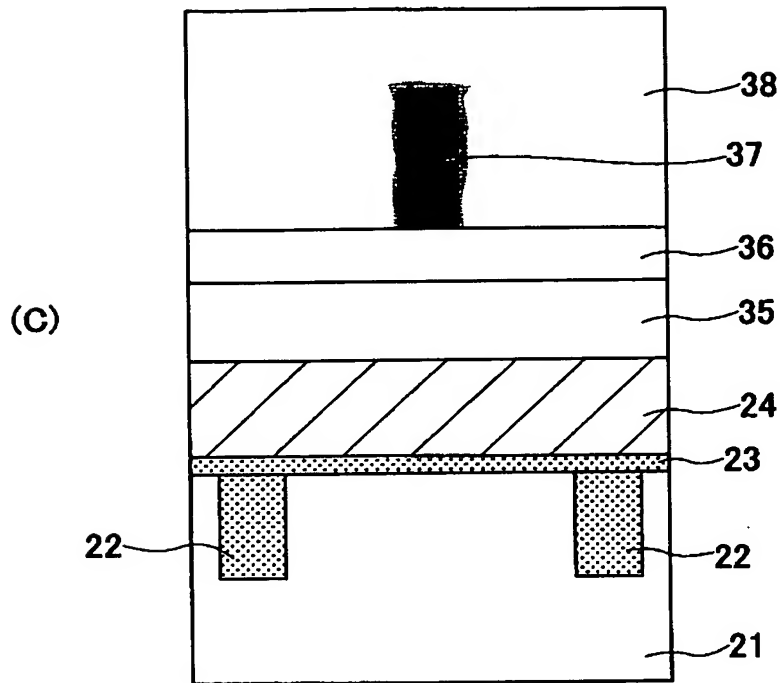
【図 5】

(A)、(B)は、本発明の第2実施例による
半導体装置の製造工程を示す図(その1)



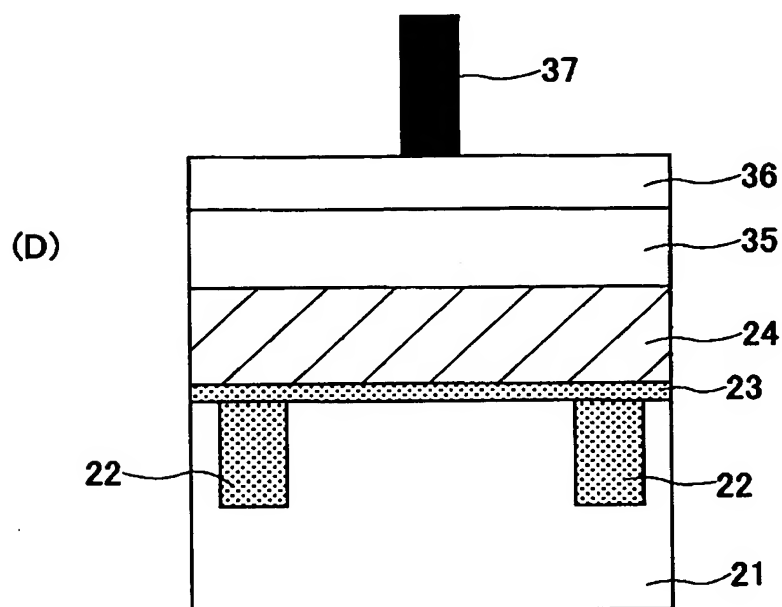
【図 6】

(C)は、本発明の第2実施例による
半導体装置の製造工程を示す図(その2)



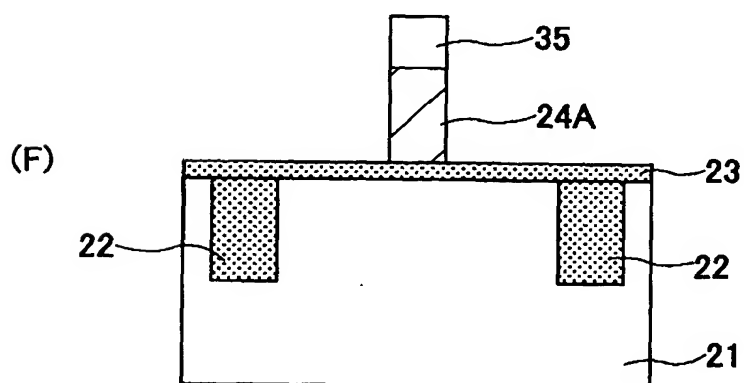
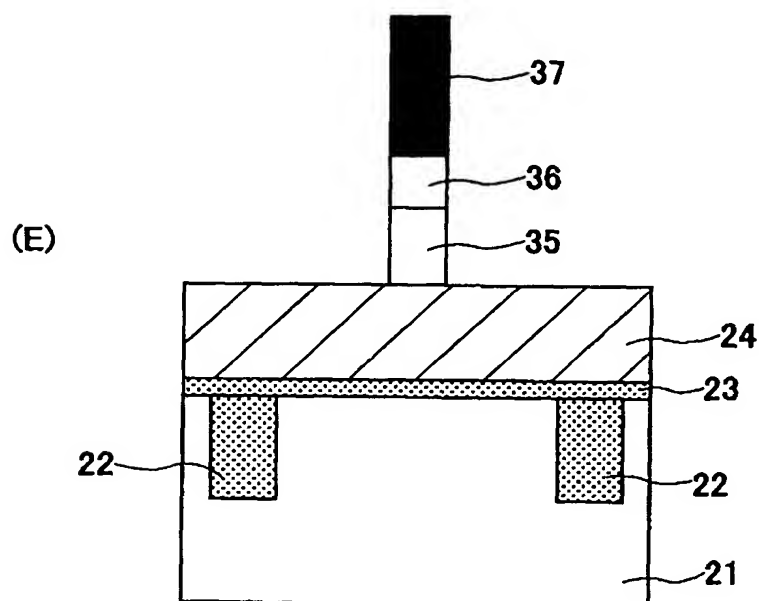
【図 7】

(D)は、本発明の第2実施例による
半導体装置の製造工程を示す図(その3)



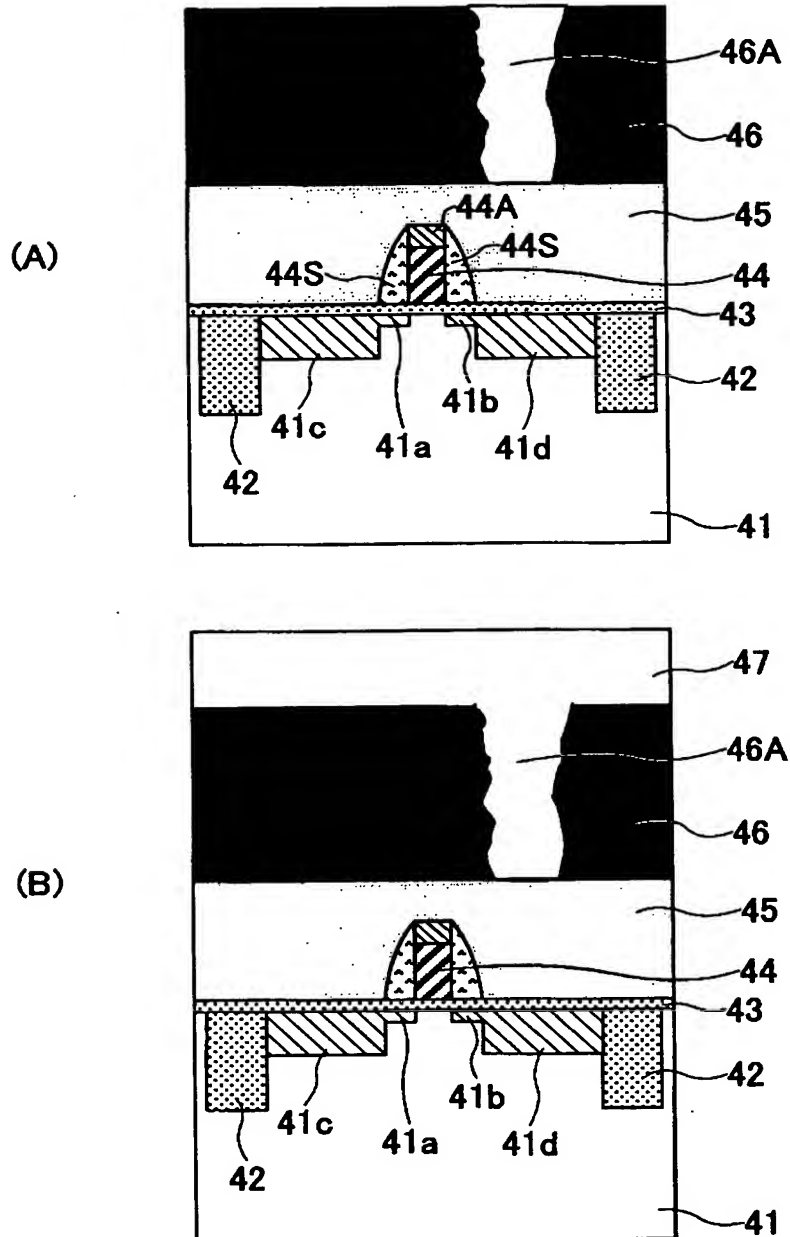
【図 8】

(E), (F)は、本発明の第2実施例による
半導体装置の製造工程を示す図(その4)



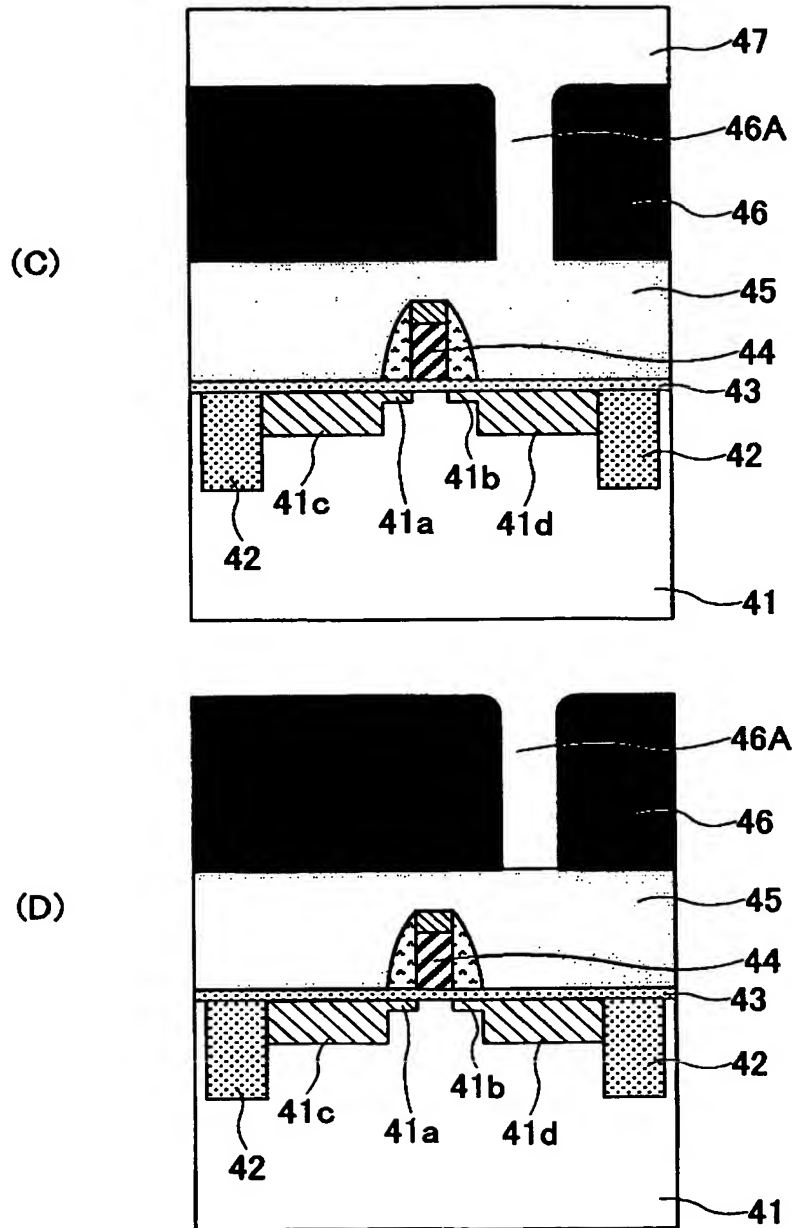
【図 9】

(A), (B)は、本発明の第3実施例による
半導体装置の製造工程を示す図(その1)



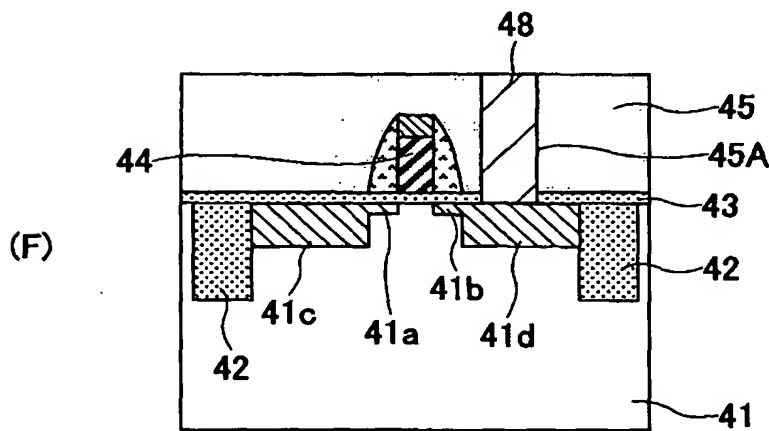
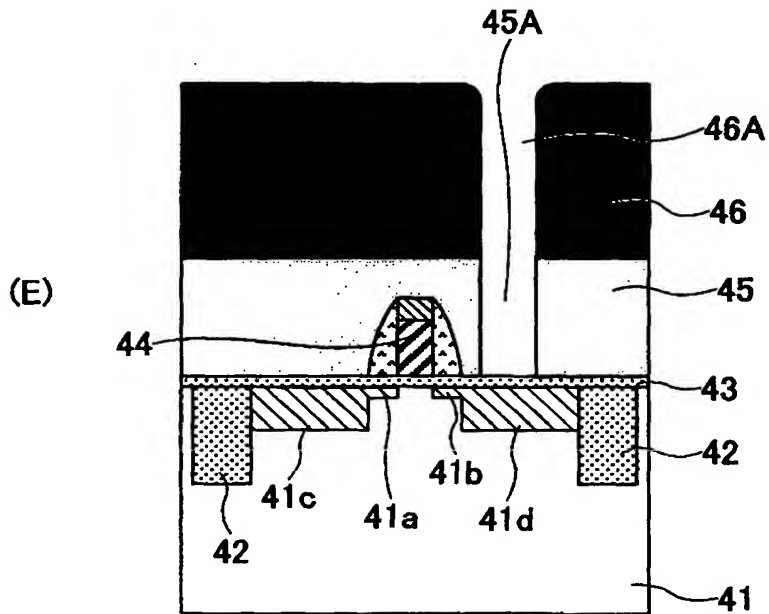
【図 1 0】

(C), (D)は、本発明の第3実施例による
半導体装置の製造工程を示す図(その2)



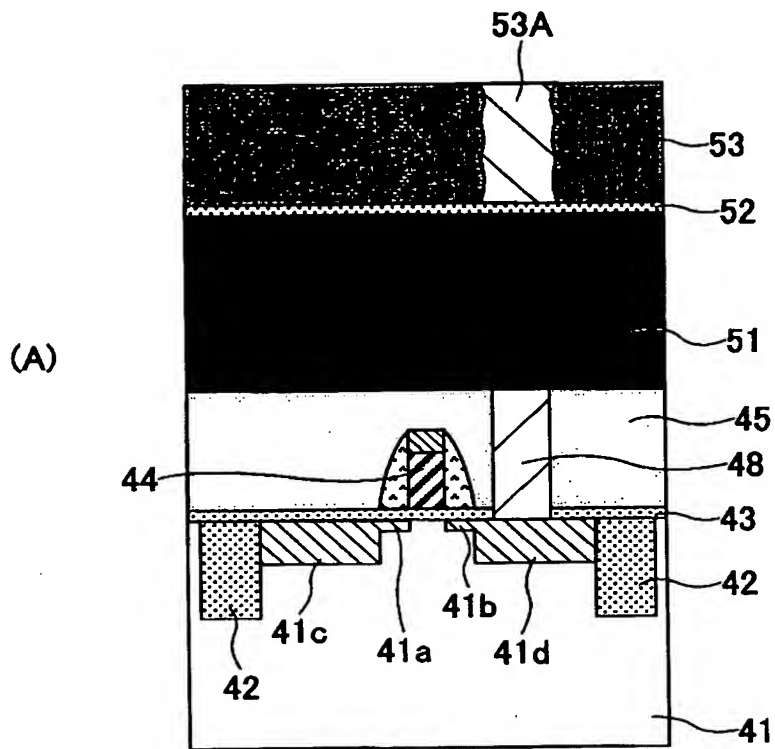
【図 11】

(E), (F)は、本発明の第3実施例による
半導体装置の製造工程を示す図(その3)



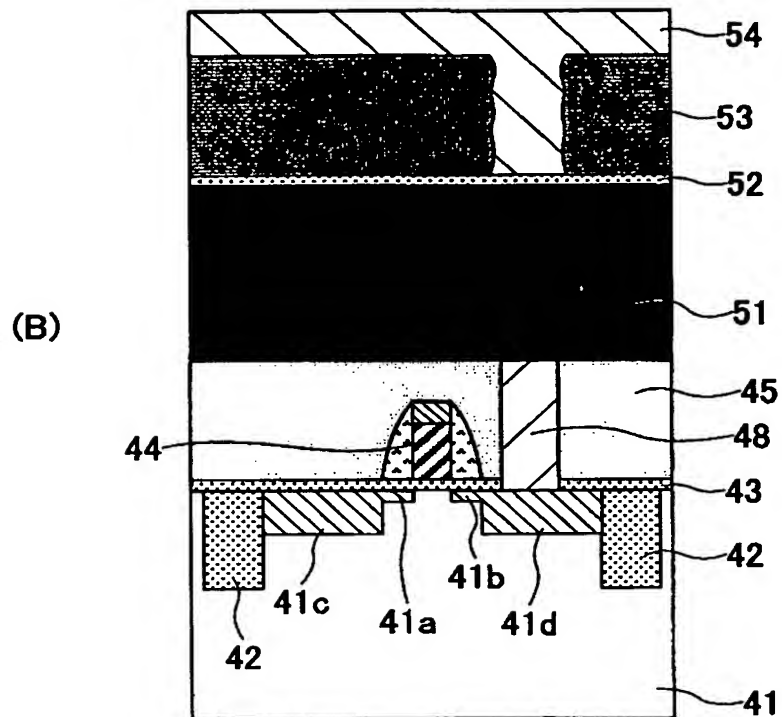
【図 1 2】

(A)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その1)



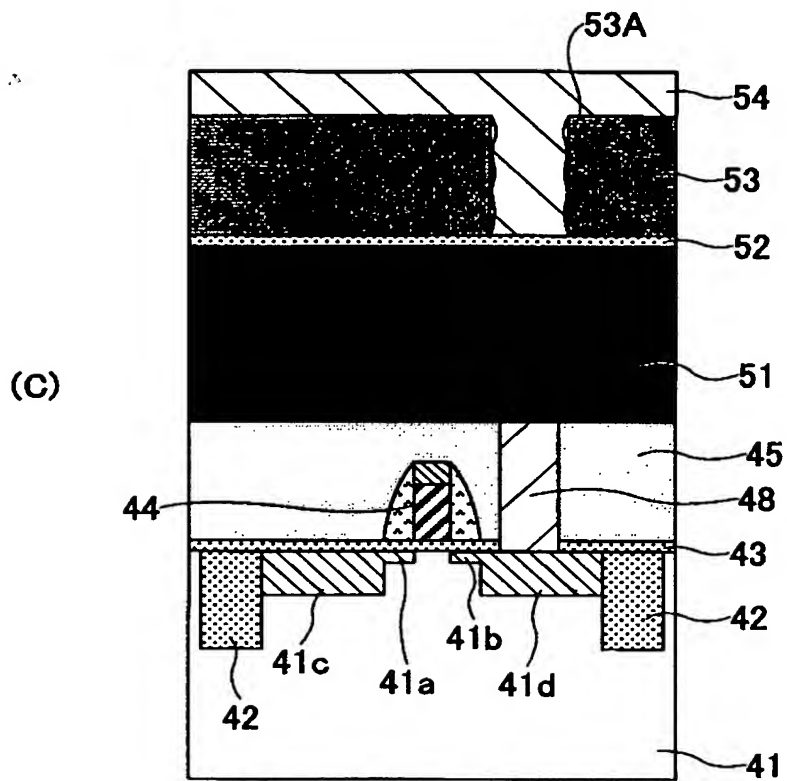
【図 1 3】

(B)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その2)



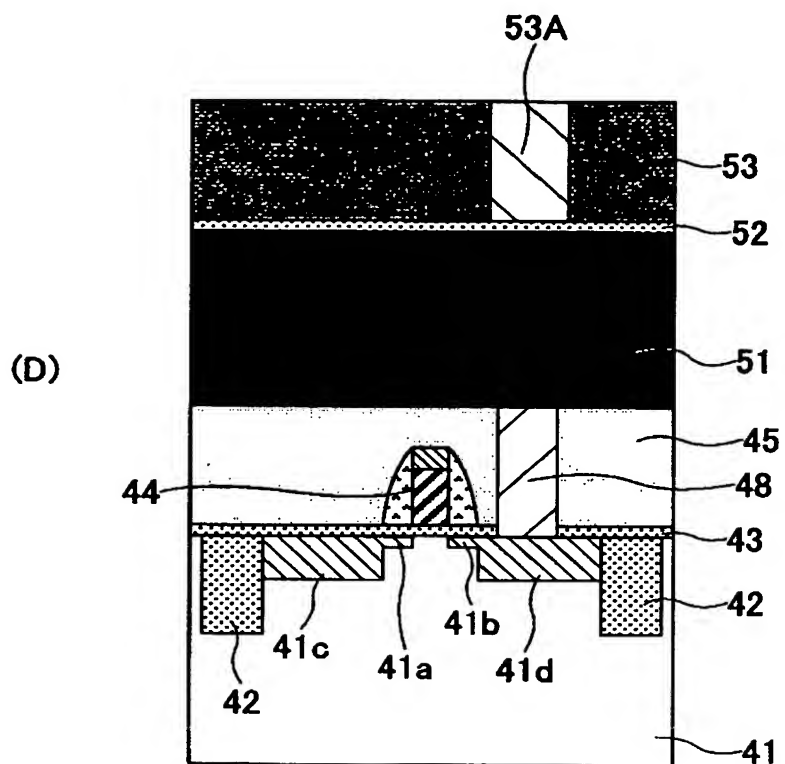
【図 1 4】

(C)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その3)



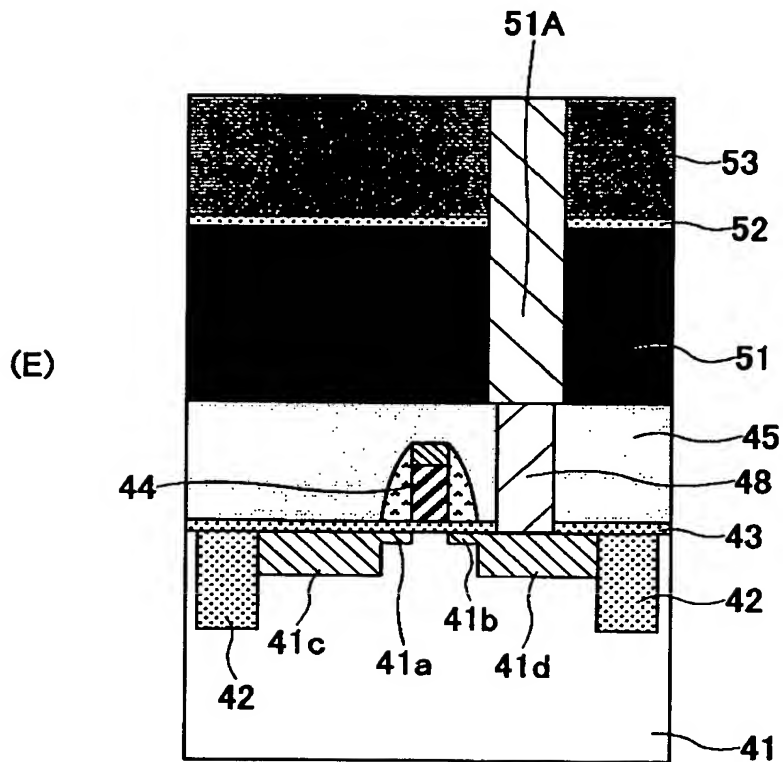
【図 1 5】

(D)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その4)



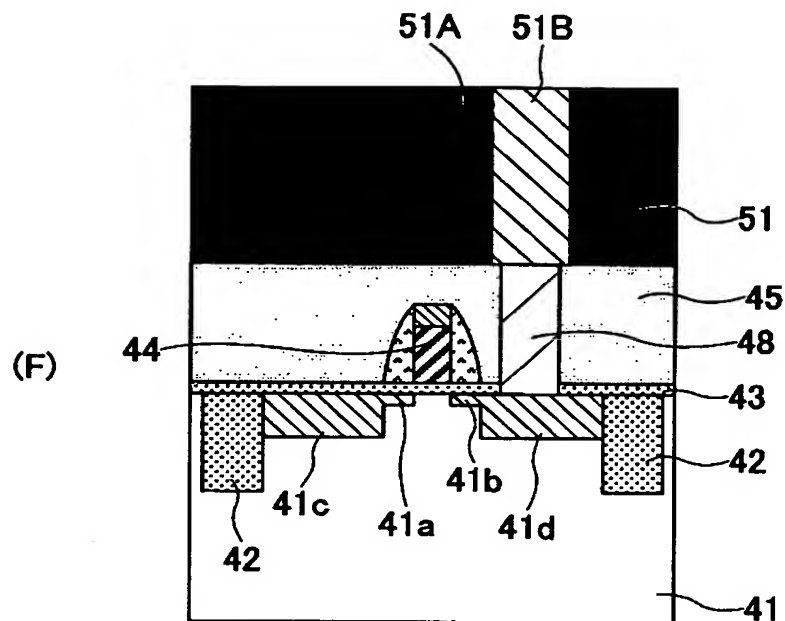
【図 1 6】

(E)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その5)



【図 1 7】

(F)は、本発明の第4実施例による
半導体装置の製造工程を示す図(その6)



【書類名】 要約書

【要約】

【課題】 非常に微細なレジストパターンを形成する際に、エッジラフネスを抑制できる半導体装置の製造方法を提供する。

【解決手段】 非常に微細なレジストパターンを、前記レジストパターンの軟化温度よりも高い耐熱温度を有する膜で覆い、この状態でレジストパターンを前記軟化温度以上で耐熱温度以下の温度に加熱し、レジストパターンをリフローさせる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社